

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000091490
PUBLICATION DATE : 31-03-00

APPLICATION DATE : 11-09-98
APPLICATION NUMBER : 10258429

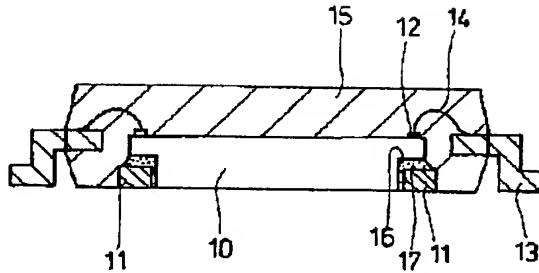
APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : TSUBONOYA MAKOTO;

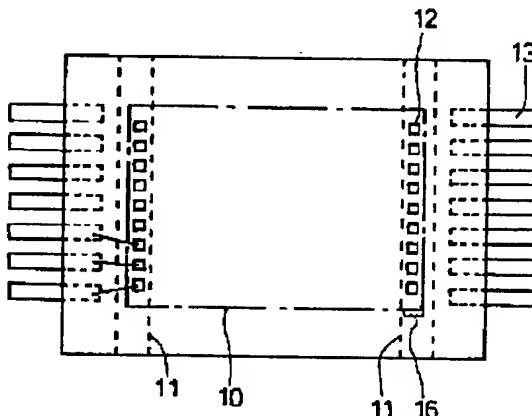
INT.CL. : H01L 23/50 H01L 21/52 H01L 21/60
H01L 21/301 H01L 23/28

TITLE : SEMICONDUCTOR DEVICE

(A)



(B)



ABSTRACT : PROBLEM TO BE SOLVED: To obtain a semiconductor device which can be made thin by containing the plate thickness of an island, in a recess made in the rear surface of a chip.

SOLUTION: A first semiconductor chip 10 is bonded, while a recess 16 made in the rear surface with stripe islands 11 is aligned. The thickness of the island 11 is thereby contained in the recess 16. Electrodes 12 formed on the surface of the semiconductor chip are connected with lead terminals 13 though a bonding wire 14 and then sealed with resin 15.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-91490

(P2000-91490A)

(43)公開日 平成12年3月31日 (2000.3.31)

(51)Int.Cl.⁷

H 01 L 23/50
21/52
21/60
21/301
23/28

識別記号

3 0 1

F I

H 01 L 23/50
21/52
21/60
23/28
21/78

テーマコード(参考)
U 4 M 1 0 9
A 5 F 0 4 4
3 0 1 M 5 F 0 4 7
Z 5 F 0 6 7
Q

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21)出願番号

特願平10-258429

(22)出願日

平成10年9月11日 (1998.9.11)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 坪野谷 誠

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100076794

弁理士 安富 耕二 (外1名)

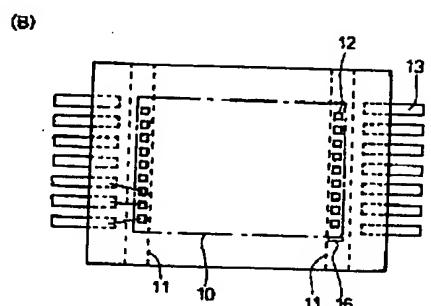
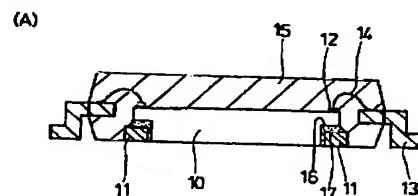
F ターム(参考) 4M109 AA01 BA01 CA21 DA04 DB17
FA03
5F044 AA01 AA19 GG07
5F047 AA11 AB03 BA34 BB11 CB03
5F067 AA01 AB02 BD06 BD10 BE10
CB08 DF17

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 チップ裏面に形成した凹部にアイランドの板厚を収納することによって、薄形化が可能な半導体装置を得る。

【解決手段】 細条のアイランド11上に第1の半導体チップ10の裏面に形成した凹部16を位置あわせし、固着する。アイランド11の板厚が半導体チップの凹部16内に収納される。半導体チップの表面に形成した電極派度12とリード端子13とをボンディングワイヤ14で接続し、周囲を樹脂15で封止する。



10: 半導体チップ
11: アイランド
12: 電極派度
13: リード端子
14: ボンディングワイヤ
15: 樹脂
16: 凹部

【特許請求の範囲】

【請求項1】 前記半導体チップの裏面側に局所的に肉厚を薄くした凹部を形成し、前記凹部を前記アイランド表面に接着して、前記半導体チップの一部が前記アイランドの接着表面よりも下方に延在するように前記半導体チップを固着したことを特徴とする半導体装置。

【請求項2】 前記凹部の深さと前記アイランドの板厚とがほぼ一致することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記凹部が裏面からのハーフダイシングによって得られたものであることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記半導体チップの上に、前記凹部を形成した第2の半導体チップを固着したことを特徴とする請求項1記載の半導体装置。

【請求項5】 前記第2の半導体チップの凹部がチップ端部に位置し、前記凹部の空間をボンディングワイヤが延在することを特徴とする請求項4記載の半導体装置。

【請求項6】 前記アイランドの裏面と前記半導体チップの裏面とが露出するように周囲を樹脂封止したことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、樹脂外形を薄形化できる半導体半導体装置に関する。

【0002】

【従来の技術】半導体装置の封止技術として最も普及しているのが、図4(A)に示したような、半導体チップ1の周囲を熱硬化性のエポキシ樹脂2で封止するransformerモールド技術である。半導体チップ1の支持素材としてリードフレームを用いており、リードフレームのアイランド3に半導体チップ1をダイボンドし、半導体チップ1のボンディングパッドとリード4をワイヤ5でワイヤボンドし、所望の外形形状を具備する金型内にリードフレームをセットし、金型内にエポキシ樹脂を注入、これを硬化させることにより製造される。

【0003】一方、各種電子機器に対する小型化の波はとどまるところを知らず、これらに組み込まれる半導体装置にも、一層の小型。薄形化と高機能化が望まれることになる。

【0004】

【発明が解決しようとする課題】小型化の一つの方向は、樹脂外形寸法の薄形化である。しかしながら、チップ厚みやワイヤループ高さなどの要因によって、薄形化するにも限界があるという欠点があった。

【0005】一方、高機能化の1つの方向性として、例えば、特開昭55-1111517号に記載されているように、1つのパッケージ内に複数の半導体チップを封止する技術が着目、実現される動きが出てきた。つまり図4に(B)に示すように、アイランド3上に第1の半

導体チップ1aを固着し、第1の半導体チップ1aの上に第2の半導体チップ1bを固着し、対応するボンディングパッドとリード端子4とをボンディングワイヤ5a、5bで接続し、樹脂2で封止したものである。また、図4(C)に示すように、アイランド3の両面に各半導体チップ1a、1bの裏面が対向するようにこれらを固着する手法もある。

【0006】これらの手法は、チップ厚みやボンディングワイヤのループ高さが倍になるので、半導体装置全体の厚みを薄形化できない欠点が更に浮き彫りになるという欠点がある。

【0007】

【課題を解決するための手段】本発明は上述した従来の課題に鑑み成されたもので、前記半導体チップの裏面側に局所的に肉厚を薄くした凹部を形成し、前記凹部を前記アイランド表面に接着して、前記半導体チップの一部が前記アイランドの接着表面よりも下方に延在するように前記半導体チップを固着したことを特徴とするものである。

【0008】

【発明の実施の形態】以下に本発明の実施の形態を詳細に説明する。

【0009】図1は本発明の第1の実施の形態を示す

(A)断面図、(B)平面図である。図中、10は半導体チップ、11は半導体チップ10を固着するリードフレームのアイランドを示している。半導体チップ10のシリコン表面には、前工程において各種の拡散熱処理などによって多数の能動、受動回路素子が形成されている。半導体チップ10のチップ周辺部分には外部接続用の電極パッド12がアルミ電極によって形成されている。各電極パッド12の上にはパッシベーション皮膜が形成され、電極パッド12の上部が電気接続のために開口されている。パッシベーション被膜はシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などである。図1(B)の例では、各電極パッド12は半導体チップ10の対向する2辺に沿って集約して配置されている。

【0010】半導体チップ10の周辺にはリードフレームのリード端子13が多数本延在している。半導体チップ10の電極パッド12には、金線からなるボンディングワイヤ14の一端が接続されており、その他端は外部導出用のリード端子13にワイヤボンドされている。

【0011】半導体チップ10、リード端子13の一部、およびボンディングワイヤ14を含む主要部は、周囲をエポキシ系の熱硬化樹脂15でモールドされて半導体装置のパッケージを形成する。リード端子13はパッケージの側壁から外部に導出されて外部接続端子となる。導出されたリード端子13はZ字型に曲げ加工されている。アイランド11裏面側は樹脂15表面に露出しており、樹脂15表面と同一平面を形成している。

【0012】半導体チップ10の裏面側には、板厚を局

所的に薄くした凹部16を形成している。この凹部16は、チップ端のボンディングパッド12の下方に形成され、半導体チップ10の端部をひさし状に突出させている。そして、凹部16に沿って2本のアイランド11が延在し、凹部16とアイランド11表面とが接着剤17で接着されている。半導体チップ10の固定は凹部16でのみ行い、他の箇所ではアイランド11に接着されていない。接着剤17は導電性または絶縁性のエポキシ系接着剤である。凹部16の深さとアイランド11の板厚とはほぼ同等の寸法を有しており、半導体チップ10の板厚が厚い箇所が2本のアイランド11で挟まれた空間内に収まるような形状で、半導体チップ10がアイランド11に固定される。場合により、半導体チップ10の裏面を樹脂15の表面に露出させることも可能である。

【0013】上記の凹部16は、例えばウェハ裏面からハーフダイシングを行うことによって得ることができる。図2(A)を参照して、第1主面30と第2主面31とを有する半導体ウェハ32を準備し、その第1主面30に回路素子を形成する。第2主面31側からダイシングラインを認識し、幅広(約1.0mm)の第1のダイシングブレード33によって、全体のウェハ厚み280μmに対して130μmの深さの溝34を形成する。ダイシングブレード33の中心線はダイシングラインの中心線に一致する。次いで、図2(B)に示したように、ダイシングラインに沿って幅狭(約40μm)の第2のダイシングブレード35によってウェハ32を完全に切断する。尚、ハーフダイシングによる溝34は、凹部16を設ける箇所だけでも良いし、半導体チップ10、11の4辺全てに凹部16を形成するように設けても良い。また、第2のダイシングブレード35は第1主面30側から切削する形態でも良いし、第2主面31側から切削する形態でも良い。

【0014】係る構成によれば、アイランド11の板厚が半導体チップ10の厚みの中に収納されるので、凹部16の深さの分だけ半導体チップ10表面の高さを下げることが可能となる。従って、樹脂15の外形寸法を更に薄形化することができる。尚、アイランド11を2本の細条で構成した例を説明したが、例えば凹部16を半導体チップ10の4辺全てに形成し、これに沿った4角形状の枠体のアイランドとしても良い。また、半導体チップ10の中心部分を貫通する様に凹部16を形成し、1本の細条としたアイランドでこれを固定するような形態でも良い。

【0015】図3に本発明の第2の実施の形態を示した。凹部16を利用することによって、複数の半導体チップ10積層した例である。これらの図中、10a、10b、10cは各々第1、第2、第3の半導体チップを示している。

【0016】第1の半導体チップ10aは、先の実施の形態と同様に2本の細条からなるアイランド11に接着

されている。そして、第1の半導体チップ10aのパッジベーション皮膜上に第2の半導体チップ10bが接着剤20によって固着され、第2の半導体チップ10bのパッジベーション皮膜上に第3の半導体チップ10cが接着剤21によって固着されている。

【0017】各半導体チップ10a、10b、10cには各々第1、第2及び第3の電極パッド12a、12b、12cが形成されており、各電極パッド12a、12b、12cとリード端子13とが各々第1、第2及び第3のボンディングワイヤ14a、14b、14cで接続されている。

【0018】これらの各半導体チップ10a、10b、10cの組み合わせは任意である。例えば、半導体チップ10a、10b、10cとしてEEPROM(フラッシュメモリ)等の半導体記憶装置を用いた場合(第1の組み合わせ例)は、1つのパッケージで記憶容量を2倍、3倍・・・にすることができる。また、第1の半導体チップ10aにEEPROM(フラッシュメモリ)等の半導体記憶装置を、第2の半導体チップ10bにはSRAM等の半導体記憶装置を形成するような場合(第2の組み合わせ例)ことも考えられる。どちらの組み合わせの場合でも、各チップにはデータの入出力を行うI/O端子と、データのアドレスを指定するアドレス端子、及びデータの入出力を許可するチップイネーブル端子とを具備しており、両チップのピン配列が酷似している。そのため、各半導体チップ10a、10b、10c I/O端子やアドレス端子用のリード端子13を共用することが可能であり、各チップに排他的なチップイネーブル信号を印加することにより、どちらか一つの半導体チップのメモリセルを排他的に選択することが可能である。

【0019】上記第1の組み合わせ例の場合には当然の事ながら、各半導体チップ10a、10b、10cが大略同じ大きさと形状を有し、電極パッド12a、12b、12cの位置も同じである。そのため、両者を重ねると、第1の半導体チップ10の電極パッド12aが第2の半導体チップ11の陰に隠れる。又第2の組み合わせ例の場合でも、チップサイズと形状が近似し且つピン配列が酷似する場合があり得る。

【0020】而して、第2と第3の半導体チップ10b、10cにもその端部に凹部16が形成されており、凹部16の空間を利用して第1と第2のボンディングワイヤ14a、14bが半導体チップ10b、10cとの接触を避けて延在している。従って凹部16は第2の半導体チップ10bの端部から第1の電極12aを露出するだけの幅を持ち、更には第1のボンディングワイヤ16aのワイヤ高さを収納するだけの高さを持つ。尚、接着剤20の膜厚も考慮して凹部16の深さを決定する。

【0021】この様に、凹部16を設けることによって、下に位置する半導体チップ10a、10bへのワイヤボンディングを可能にし、且つボンディングワイヤ1

6a、16bが半導体チップ10b、10cの裏面と接触することを回避している。更に、ボンディングワイヤ16a、16bを凹部16を通過させることによって、半導体装置全体の高さを薄くすることができる。

【0022】

【発明の効果】以上に説明した通り、本発明によれば、細条のアイランド11に凹部16を接着することで、半導体チップ10の実装位置を下げることができ、これによって装置の薄形化が可能な半導体装置を提供できる利点を有する。

【0023】更に第2の実施の形態によれば、凹部16を利用することで電極パッド12a、12bへのワイヤボンディングを可能にし、且つワイヤのループ高さを吸収することで装置の薄形化が可能な半導体装置を提供す

ることができる。これにより、例えば1つのパッケージに2倍の記憶容量を持たせることができる。

【0024】更に、半導体チップ10a、10b、10cとしてどのようなサイズ、形状のものでも組み合せが可能になり、製品展開の自由度が増す利点をも有する。

【図面の簡単な説明】

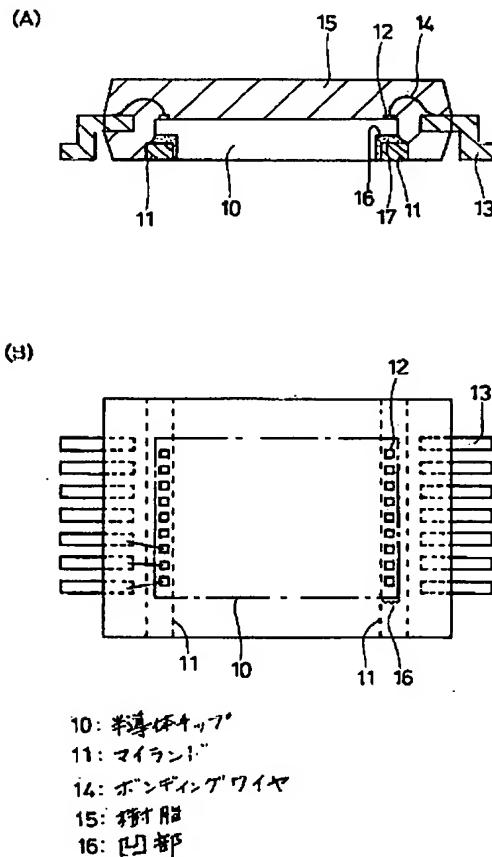
【図1】本発明を説明するための(A)断面図、(B)平面図である。

【図2】凹部16の製造方法を説明するための断面図である。

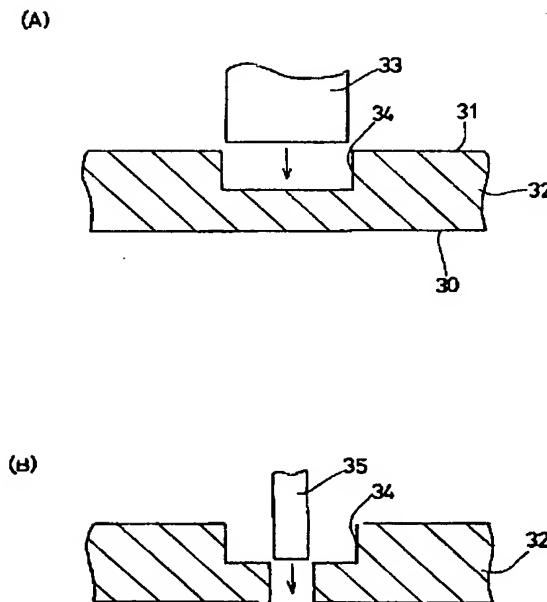
【図3】本発明の第2の実施の形態を説明するための(A)断面図、(B)平面図である。

【図4】従来例を説明するための断面図である。

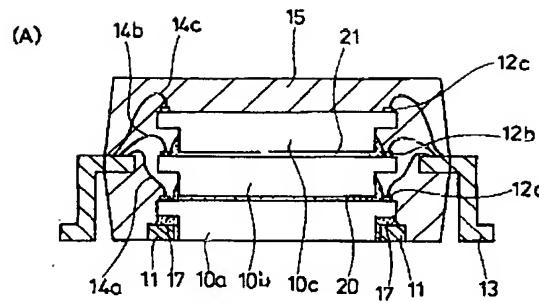
【図1】



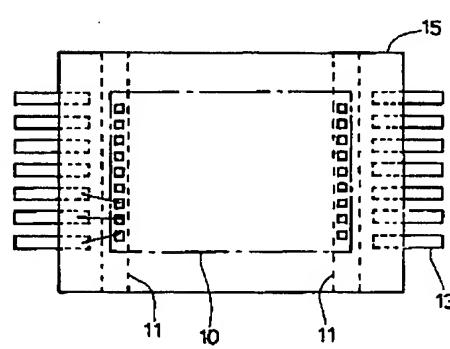
【図2】



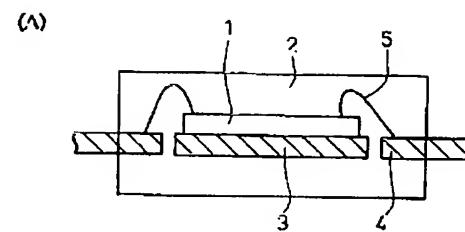
【図3】



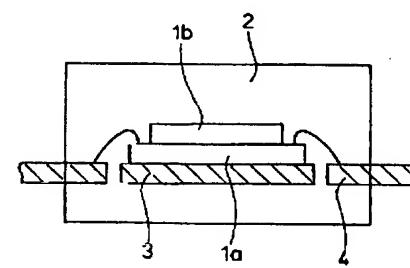
(B)



【図4】



(B)



(C)

